



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **06196720 A**(43) Date of publication of application: **15.07.94**

(51) Int. Cl.

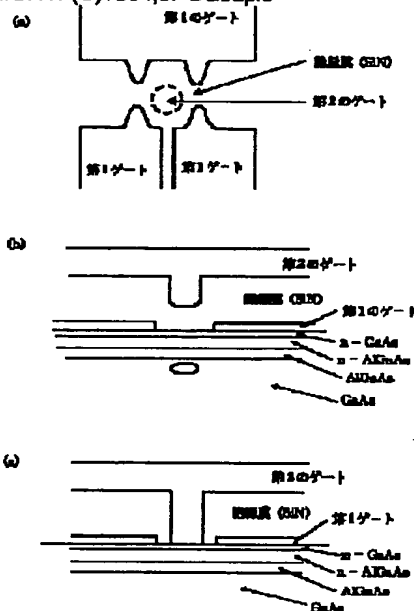
H01L 29/804(21) Application number: **04345922**(22) Date of filing: **25.12.92**(71) Applicant: **NIPPON TELEGR & TELEPH
CORP <NTT>**(72) Inventor: **NAKADA SHUNJI
MIZUTANI TAKASHI**(54) **SINGLE ELECTRON TRANSISTOR**

(57) Abstract

PURPOSE: To provide a single electron transistor which can fabricate a quantum dot of about $0.1\mu\text{m}$ much more easily than conventional one and enables high-speed switching operation and also operation of low electric consumption by forming a gate electrode on an insulating film formed on a quantum dot.

CONSTITUTION: The title transistor is characterized in that a first gate electrode is formed on a semiconductor having a two-dimensional electronic structure and a confined region of electrons is formed into a concentric or square form by a depletion layer produced by application of voltage to that gate electrode, and an insulating film is formed on semiconductor quantum dot which stores electrons inside the part enclosed by this confined region and a second gate electrode is formed on that insulating film, whereby movement of single electron can be controlled. Also, after a desired region on the above mentioned quantum dot is removed after forming the insulating film, the second electrode is formed.

COPYRIGHT: (C)1994,JPO&Japio



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-196720

(43)公開日 平成6年(1994)7月15日

(51)InLCl.⁵

H 0 1 L 29/804

識別記号

庁内整理番号

F I

技術表示箇所

7376-4M

H 0 1 L 29/ 80

A

審査請求 未請求 請求項の数2(全 5 頁)

(21)出願番号

特願平4-345922

(22)出願日

平成4年(1992)12月25日

(71)出願人 000004226

日本電信電話株式会社

東京都千代田区内幸町一丁目1番6号

(72)発明者 中田 俊司

東京都千代田区内幸町1丁目1番6号日本
電信電話株式会社内

(72)発明者 水谷 孝

東京都千代田区内幸町1丁目1番6号日本
電信電話株式会社内

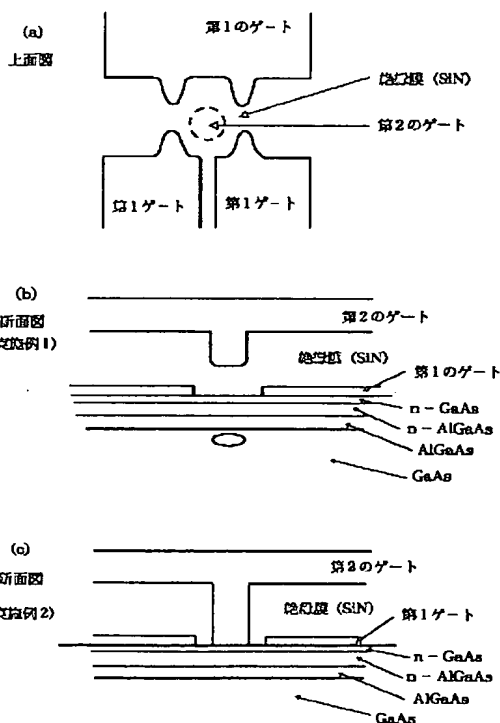
(74)代理人 弁理士 福森 久夫

(54)【発明の名称】 単一電子トランジスタ

(57)【要約】

【目的】 量子ドットの上に形成した絶縁膜上にゲート電極を設けることにより、従来より極めて容易に0.1 μm 程度の量子ドットの作製を可能であり、高速スイッチング動作が可能で、かつ、低消費電力動作が可能な単一電子トランジスタを提供すること。

【構成】 2次元電子構造を有する半導体の上に第1のゲート電極を設け、このゲート電極に電圧を印加することにより生じる空乏層により、同心円状あるいは矩形状に電子の閉じ込め領域を形成し、この閉じ込め領域に囲まれた内部に電子を蓄積する半導体量子ドットの上に絶縁膜を形成し、その絶縁膜上に第2のゲート電極を形成することにより、単一電子の移動を制御することを特徴とする。また、絶縁膜を形成した後、上記量子ドット上の所望の領域を除去しその後、第2のゲート電極を形成したことを特徴とする。



【特許請求の範囲】

【請求項1】 2次元電子構造を有する半導体の上に第1のゲート電極を設け、このゲート電極に電圧を印加することにより生じる空乏層により、同心円状あるいは矩形状に電子の閉じ込め領域を形成し、この閉じ込め領域に囲まれた内部に電子を蓄積する半導体量子ドットの上に絶縁膜を形成し、その絶縁膜上に第2のゲート電極を形成することにより、単一電子の移動を制御することを特徴とする単一電子トランジスタ。

【請求項2】 絶縁膜を形成した後、上記量子ドット上の所望の領域を除去しその後、第2のゲート電極を形成した請求項1記載の単一電子トランジスタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は高速スイッチング動作が可能で、かつ、低消費電力動作が可能な単一電子トランジスタに関するものである。

【0002】

【従来の技術】 従来、半導体微細構造における半導体量子ドットの作製には、半導体表面上に形成したショットキー電極（第1のゲート）に電圧を印加し空乏層閉じ込めを用いているものが知られている（"K. K. Likharev, IBM J. Res. Develop, 32, 144(1988)", "D. V. Averin and K. K. Likharev, in Mesoscopic Phenomena in Solids, edited by B. L. Altshuler, P. A. Lee, and R. A. Webb (Elsevier, Amsterdam, 1991)", "H. van Houten, C. W. J. Beenakker, and A. A. M. Staring, in Single Charge Tunneling, edited by H. Grabert and M. H. Devoret (Plenum, New York, 1991)"）。

【0003】 このとき量子ドット内の電子数を制御する為のゲートとして、同様に半導体表面上のショットキー電極（第2のゲート）を用いており、これにゲート電圧を印加することにより電子数の制御を行っている（図3）。

【0004】

【発明が解決しようとする課題】 しかし、従来例では量子ドットを形成するゲート（第1のゲート）および量子ドット内の電子数を制御するゲート（第2のゲート）が同一の半導体表面上に形成されているために、直径0.1 μm 程度以下の量子ドットの作製は困難であった。量子ドットの大きさを小さくすることは単一電子の帯電エネルギーを大きくするために重要であり、帯電エネルギーが大きいと単一電子トランジスタをより高温で動作させることが可能となる。即ち、2次元電子ガス領域における量子ドットのキャパシタンス（C）は量子ドットの半径（R）を用いて $C = 8 \epsilon \pi R$ とかける。単一電子の量子ドットにおける帯電エネルギーは e^2 / C と書き表せる。よって、量子ドットの直径が小さいことは量子ドットのキャパシタンスが小さいことにつながり、さらに単一電子の帯電エネルギーが大きくなることに対応して

いる。しかしながら、従来の技術では、上記に示したように直径0.1 μm 程度の量子ドット内の電荷を制御するための電極を形成するのが困難であった。

【0005】 本発明はこの問題点に鑑みて、量子ドットの上に形成した絶縁膜上にゲート電極を設けることにより、従来より極めて容易に0.1 μm 程度の量子ドットの作製を可能にするものである。

【0006】

【課題を解決するための手段】 上記の課題を解決するための本発明の単一電子トランジスタは、2次元電子構造を有する半導体の上に第1のゲート電極を設け、このゲート電極に電圧を印加することにより生じる空乏層により、同心円状あるいは矩形状に電子の閉じ込め領域を形成し、この閉じ込め領域に囲まれた内部に電子を蓄積する半導体量子ドットの上に絶縁膜を形成し、その絶縁膜上に第2のゲート電極を形成することにより、単一電子の移動を制御することを特徴とする。

【0007】 また、絶縁膜を形成した後、上記量子ドット上の所望の領域を除去し（例えば直径0.1 μm 程度の穴を形成し）、その後、第2のゲート電極を形成（例えばTiAuを蒸着）したことを特徴とする。

【0008】

【作用】 本発明では、第2のゲート（量子ドット内の電子数を制御するためのゲートを、量子ドット上に絶縁膜を介して形成しているため、第2のゲートを小さくでき、ひいては量子ドットの半径を小さくすることができる。そのため、量子ドットのキャパシタンスを小さくすることが能となり、 $T = 77\text{K}$ 程度においても単一電子トランジスタの動作が可能となる。

【0009】

【実施例】 以下、図面を用いて本発明の実施例を詳細に説明する。図1に本発明の実施例に係る単一電子トランジスタの構造図を示す。上面図において、下側の第1ゲートは電氣的に分離した形で配置されているが、外部で結縁されて電氣的につながっていてもよい。また、下側の第1ゲートが一体として形成されていても良い。この上面図では変調ドーピング構造の上に第1ゲートを蒸着し、その上に絶縁膜、例えばSiNが成長されている。

【0010】 第1の実施例では、単一電子の移動を制御するための第2のゲートは絶縁膜（本例ではSiN）上に形成されている（図1（b））。また、第2の実施例では量子ドットの上部のSiNをエッチング、例えばRIE（リアクティブイオンエッチング）により加工し、その後第2のゲートを蒸着してある（図1（c））。

【0011】 この素子に対してソースドレイン電圧（ V_{ds} ）を印加したときの電流電圧特性は図2（a）、図2（b）に示すようになる。横軸はソースドレイン電圧（ V_{ds} ）、縦軸はソースドレイン電流（ I_{ds} ）である。特性は周期的な階段状のふるまいを示すが、それぞれの階段の平坦部分においては量子ドット内の電子数

は一定であり、次の階段に移動した場合に電子数が1個だけ変化する。この素子に対しソース・ドレイン間に電圧 V_0 を印加する。この時、 $V_0 < e/(2C)$ のためクーロンブロッケイドが生じ、ソース・ドレイン電流は0である。次に第2ゲートに電圧を印加することにより量子ドットのフェルミレベルを変化させる。こうする事により、 $I_{ds} - V_{gs}$ 特性は図2 (b) に示すようにドレイン電圧の負側にシフトする。

【0012】このときソースと量子ドットとの接合の両端には $e/(2C)$ 以上の電圧が印加されるため、クーロンブロッケイドが破れトンネル電流が流れる。このときにおけるエネルギーバンド図を示したのが図2

(c)、図2 (d) である。図2 (c) は、最初の状態を表わしており、ドットのフェルミレベルとソース側のフェルミレベルの差は $e/(2C)$ 以下のために、電子のトンネルが抑制される。しかし、図2 (d) では、ゲート電圧によりドットのフェルミレベルを下へ下げており、このことによりソース側からのトンネルが可能となる。この過程において $g_s = \Delta I / \Delta V_{gs}$ は ΔV_{gs} を小さくすることにより、大きい値を得ることが可能となる。

【0013】

【発明の効果】本発明によれば以下の効果が達成され

る。

(1) 半導体量子ドットの構造を、従来にくらべ容易に直径0.1 μm 程度以下に小さくできる。

(2) 構造が小さく出来るため、キャパシタンスを小さくすることができ、高温で動作させることが可能である。

【0014】(3) 単一電子で動作するために、消費電力が極めて少なく、動作速度も時定数 CR で決められるため、1 ps以下の動作が可能である。

10 (4) 量子ドットの上部が絶縁膜で保護されているために、外部からの電磁波の影響を比較的に受けずにすむ。

【図面の簡単な説明】

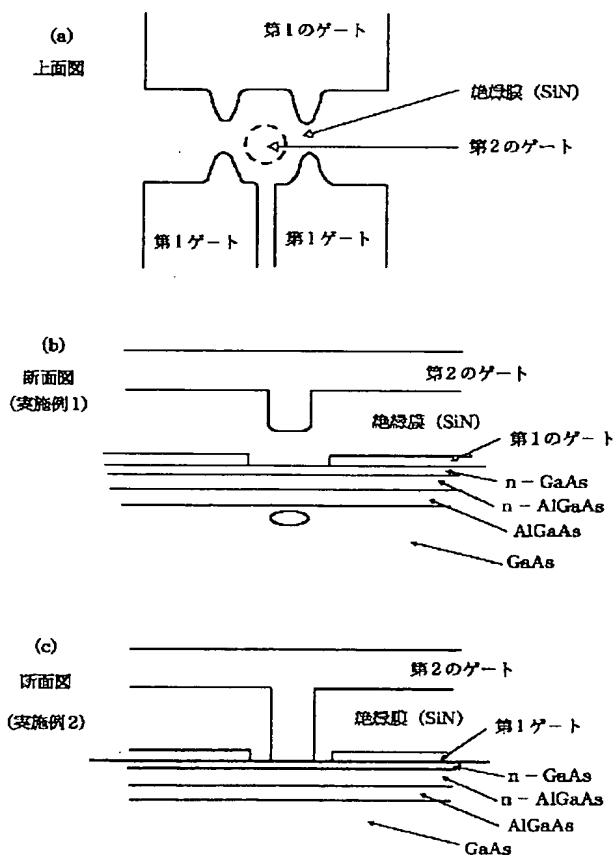
【図1】本発明の実施例に係る素子を示し、(a)は上面図、(b)は第1の実施例を示す横断面図、(c)第2の実施例を示す横断面図、である。

【図2】(a)はドットに第2ゲート電圧を印加しないとき(ソース・ドレイン間には V_0 の電圧を印加)の $I - V$ 特性を示し、(b)はドットにゲート電圧を印加したときの $I - V$ 特性を示す。(c)、(d)はそれぞれ

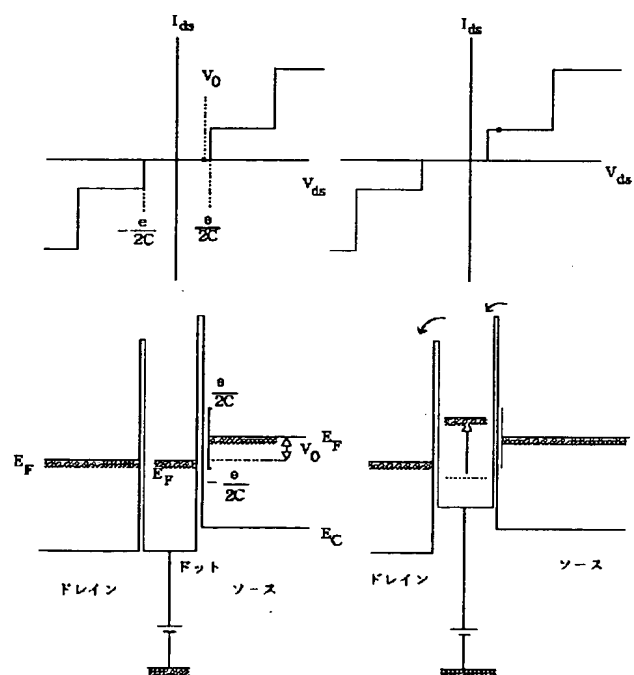
20 (a)、(b)に対応する量子ドットのエネルギーレベルを示す。

【図3】従来の素子の構造図である。

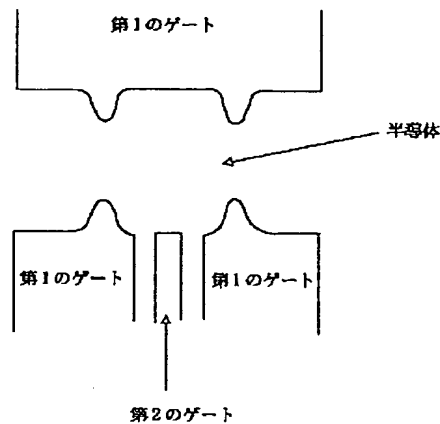
【図1】



【図2】



【図3】



【手続補正書】

【提出日】平成5年7月12日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】請求項1

【補正方法】変更

【補正内容】

【請求項1】 2次元電子構造を有する半導体の上に第1のゲート電極を設け、このゲート電極に電圧を印加することにより生じる空乏層により、同心円状あるいは矩形状に電子の閉じ込め領域を形成し、この閉じ込め領域に囲まれた内部に電子を蓄積する半導体量子ドットの上に絶縁膜を形成し、その絶縁膜上に第2のゲート電極を形成することにより、単一電子の移動を制御することを特徴とする単一電子トランジスタ。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0002

【補正方法】変更

【補正内容】

【0002】

【従来の技術】従来、半導体微細構造における半導体量子ドットの作製には、半導体表面上に形成したショットキー電極（第1のゲート）に電圧を印加し空乏層閉じ込めを用いているものが知られている（“K. K. Likharev, IBM J. Res. Develop, 32, 144(1988)”, “D. V. Averin and K. K. Likharev, in Mesoscopic Phenomena in Solids, edited by B. L. Altshuler, P. A. Lee, and R. A. Webb(Elsevier, Amsterdam, 1991)”, “H. van Houten, C. W. J. Beenakker, and A. A. M. Starin g, in Single Charge Tunneling, edited by H. Grabert and M. H. Devoret (Plenum, New York, 1991)”）。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0004

【補正方法】変更

【補正内容】

【0004】

【発明が解決しようとする課題】しかし、従来例では量子ドットを形成するゲート（第1のゲート）および量子ドット内の電子数を制御するゲート（第2のゲート）が同一の半導体表面上に形成されているために、直径0.1 μm 程度以下の量子ドットの作製は困難であった。量子ドットの大きさを小さくすることは単一電子の帯電エネルギーを大きくするために重要であり、帯電エネルギーが大きいと単一電子トランジスタをより高温で動作させることが可能となる。即ち、2次元電子ガス領域における量子ドットのキャパシタンス（C）は量子ドットの半径（R）を用いて $C = 8 \epsilon \pi R$ と書ける。単一電子の量子ドットにおける帯電エネルギーは e^2 / C と書き表せる。よって、量子ドットの直径が小さいことは量子ドットのキャパシタンスが小さいことにつながり、さらに単一電子の帯電エネルギーが大きくなることに対応している。しかしながら、従来の技術では、上記に示したように直径0.1 μm 程度の量子ドット内の電荷を制御するための電極を形成するのが困難であった。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0006

【補正方法】変更

【補正内容】

【0006】

【課題を解決するための手段】上記の課題を解決するための本発明の単一電子トランジスタは、2次元電子構造を有する半導体の上に第1のゲート電極を設け、このゲ

7

ート電極に電圧を印加することにより生じる空乏層により、同心円状あるいは矩形状に電子の閉じ込め領域を形成し、この閉じ込め領域に囲まれた内部に電子を蓄積する半導体量子ドットの上に絶縁膜を形成し、その絶縁膜上に第2のゲート電極を形成することにより、単一電子の移動を制御することを特徴とする。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0011

【補正方法】変更

【補正内容】

【0011】この素子に対してソースドレイン電圧 (V_{ds}) を印加したときの電流電圧特性は図2 (a)、図2 (b) に示すようになる。横軸はソースドレイン電圧 (V_{ds})、縦軸はソースドレイン電流 (I_{ds}) である。特性は周期的な階段状のふるまいを示すが、それ

8

ぞれの階段の平坦部分においては量子ドット内の電子数は一定であり、次の階段に移動した場合に電子数が1個だけ変化する。この素子に対しソースドレイン間に電圧 V_0 を印加する。この時、 $V_0 < e/(2C)$ のためクーロンブロックイドが生じ、ソースドレイン電流は0である。次に第2ゲートに電圧を印加することにより量子ドットのフェルミレベルを変化させる。こうする事により、 $I_{ds} - V_{ds}$ 特性は図2 (b) に示すようにドレイン電圧の負側にシフトする。

10 【手続補正6】

【補正対象書類名】図面

【補正対象項目名】図2

【補正方法】変更

【補正内容】

【図2】

